

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-094610

(43)Date of publication of application : 07.04.1995

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

(21)Application number : 06-173514

(71)Applicant : RICOH CO LTD

(22)Date of filing : 01.07.1994

(72)Inventor : KITAGAWA NORIO
YOSHIDA MASAOKI
HASHIGAMI HIROYUKI

(30)Priority

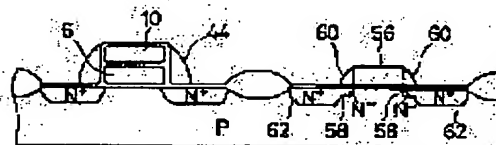
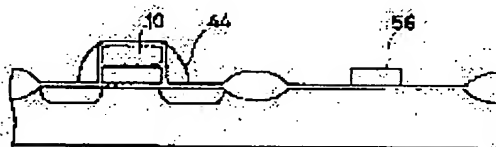
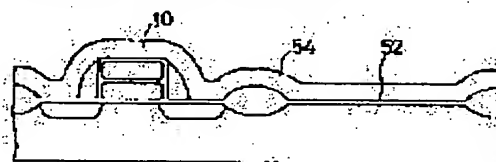
Priority number : 05208947 Priority date : 30.07.1993 Priority country : JP

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To provide a side wall of oxide on the side face of a stack gate by three layer polysilicon process without leaving any polysilicon thereon.

CONSTITUTION: After formation of a stack gate electrode, a sufficiently thick high temperature oxide is deposited and eventually etched back to form an oxide side wall 44. A gate oxide 52 is then deposited in the peripheral transistor region followed by deposition of polysilicon 54, which is eventually patterned to form the gate electrode 56 of the peripheral transistor.



LEGAL STATUS

[Date of request for examination]

19.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3421136

[Date of registration]

18.04.2003

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-94610

(43)公開日 平成7年(1995)4月7日

(51)Int.Cl.⁵

H 0 1 L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数6 F D (全 7 頁)

(21)出願番号 特願平6-173514

(22)出願日 平成6年(1994)7月1日

(31)優先権主張番号 特願平5-208947

(32)優先日 平5(1993)7月30日

(33)優先権主張国 日本 (J P)

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 喜多川 規男

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(72)発明者 吉田 雅昭

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(72)発明者 橘上 裕幸

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

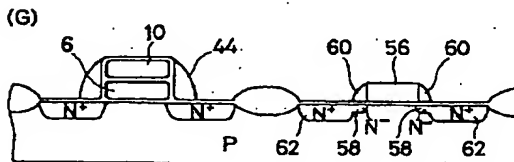
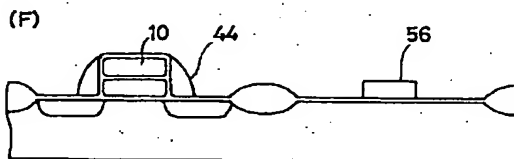
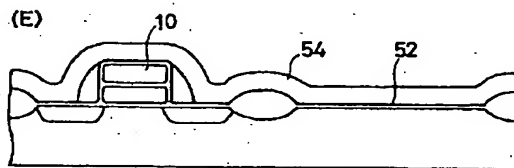
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 不揮発性半導体メモリ装置及びその製造方法

(57)【要約】

【目的】 3層ポリシリコンプロセスで、スタックゲート電極の側面絶縁膜サイドウォールを設け、かつスタックゲート電極側面にポリシリコンが残らないようにする。

【構成】 スタックゲート電極形成後、十分な厚さの高温酸化膜を堆積し、エッチバックを施して酸化膜サイドウォール44を形成する。周辺トランジスタ領域にゲート酸化膜52を形成し、その上から周辺トランジスタのゲート電極となるポリシリコン膜54を堆積し、パターン化して周辺トランジスタのゲート電極56を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上にゲート酸化膜を介し、メモリ素子ごとに分離したフローティングゲート電極と、そのフローティングゲート電極上に絶縁膜を介し、複数のメモリ素子について連続するように帯状にパターン化されたコントロールゲート電極とを含むスタックゲート電極を備えた不揮発性半導体メモリ装置において、前記スタックゲート電極で前記コントロールゲート電極の幅方向の側面には下部で厚く上部で薄くなった側壁状絶縁膜が形成されていることを特徴とする不揮発性半導体メモリ装置。

【請求項2】 前記側壁状絶縁膜は少なくとも前記フローティングゲート電極の高さに形成されている請求項1に記載の不揮発性半導体メモリ装置。

【請求項3】 前記側壁状絶縁膜は前記コントロールゲート電極の高さまで形成されている請求項2に記載の不揮発性半導体メモリ装置。

【請求項4】 前記側壁状絶縁膜はシリコン酸化膜又はシリコン窒化膜である請求項1、2又は3に記載の不揮発性半導体メモリ装置。

【請求項5】 以下の工程を含む不揮発性半導体メモリ装置の製造方法。(A) 半導体基板上のメモリ領域にゲート酸化膜を介して2層ポリシリコン構造のスタックゲート電極をセルフアライン法で形成する工程、(B) CVD法により絶縁膜を堆積する工程、

(C) 前記絶縁膜に異方性エッチングを施し、前記スタックゲート電極の側面に前記絶縁膜による側壁を形成する工程、

(D) 周辺トランジスタのゲート酸化膜を形成する工程、

(E) ポリシリコン膜を堆積し、パターン化して周辺トランジスタ領域に周辺トランジスタのゲート電極を形成する工程。

【請求項6】 以下の工程を含む不揮発性半導体メモリ装置の製造方法。

(A) 半導体基板上のメモリ領域にゲート酸化膜を介してポリシリコン膜を堆積し、パターン化してメモリ領域にスタックゲート電極のフローティングゲート電極を形成する工程、

(B) フローティングゲート電極上にコントロールゲート電極との間に設けられる第1の絶縁膜を形成する工程、

(C) CVD法により第2の絶縁膜を堆積する工程、

(D) 第2の絶縁膜に異方性エッチングを施し、フローティングゲート電極の側面に第2の絶縁膜による側壁を形成する工程、

(E) 周辺トランジスタのゲート酸化膜を形成する工程、

(F) ポリシリコン膜を堆積し、パターン化してメモリ領域にコントロールゲート電極を形成し、周辺トランジ

スタ領域に周辺トランジスタのゲート電極を形成する工程。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフローティングゲート電極上に絶縁膜を介してコントロールゲート電極を有するスタックゲート電極を備えた半導体メモリ装置に関するものである。その半導体メモリ装置はメモリ部分と周辺回路とを1チップに内蔵した半導体集積回路装置も含んでいる。本発明はまた、そのような半導体メモリ装置の製造方法にも関する。

【0002】

【従来の技術】 EPROM (消去可能なプログラマブルROM) やEEPROM (電氣的に消去可能なプログラマブルROM) でのスタックゲート電極は、ポリシリコン膜からなるフローティングゲート電極と、その上に絶縁膜を介して形成されたポリシリコン膜にてなるコントロールゲート電極を備えている。スタックゲート電極のメモリ素子を周辺回路のトランジスタとともに含む半導体集積回路装置の製造方法では、コントロールゲート電極のポリシリコン膜と周辺トランジスタのゲート電極のポリシリコン膜を別の工程で作成する3層ポリシリコンプロセスによるものと、それらを同じ工程で形成する2層ポリシリコンプロセスによるものの2つが行なわれている。

【0003】 3層ポリシリコンプロセスによる方法を図1に示す。

(A) メモリ領域では2層ポリシリコン構造のスタックゲート電極を形成する。スタックゲート電極は例えばP型シリコン基板2上のゲート絶縁膜4上にメモリ素子ごとに分離されたフローティングゲート電極6が形成され、その上に絶縁膜 (例えばシリコン酸化膜、シリコン窒化膜及びシリコン酸化膜からなる3層構造のONO膜) 8を介して複数のメモリ素子で連続した帯状のコントロールゲート電極10が形成されたものである。その後、基板2にN型不純物を注入し、拡散させてソース・ドレイン領域12を形成する。このとき、不純物の拡散処理を900～950℃のウエット酸化で行なうことによって、スタックゲート電極のフローティングゲート電極6とコントロールゲート電極10のエッジが丸められ、スタックゲート電極を被う酸化膜14が同時に形成される。周辺トランジスタ領域では基板表面に酸化膜13が形成される。

【0004】 (B) 次に、周辺トランジスタ領域にしきい値電圧制御のためボロンを注入する。その後、周辺トランジスタ領域の酸化膜13を除去した後、ゲート酸化膜16を形成する。次に、周辺トランジスタのゲート電極となる3層目のポリシリコン膜を堆積し、写真製版とエッチングによりパターン化を施してゲート電極18を形成する。このときメモリ領域ではスタックゲート電極

の側面にポリシリコンのサイドウォール20が残る。

【0005】(C)ポリシリコンサイドウォール20を除去するために、写真製版によりメモリ領域に開口を有するレジストパターン22を形成し、等方性ポリシリコンエッチングを施す。

(D)レジストパターン22を除去した後、周辺トランジスタ領域に低濃度のソース・ドレイン領域24を形成するために基板にN型不純物のイオン注入を行なう。その後、高温酸化膜を堆積し、それをエッチバックすることによりゲート電極18の側面にサイドウォールスペーサ26を形成する。高濃度のソース・ドレイン領域28を形成するために、サイドウォールスペーサ26をマスクにして基板にN型不純物を高濃度にイオン注入する。注入イオンの拡散処理を行なって周辺トランジスタをLDD構造にする。サイドウォールスペーサ26を形成する際、スタックゲート電極の側面にも高温酸化膜のサイドウォール27が形成される。

【0006】2層ポリシリコンプロセスでは、図2

(A)に示されるように、基板2上にゲート酸化膜4を介してフローティングゲート電極用のポリシリコン膜を堆積し、その上に層間絶縁膜のON₂O膜などを形成する。そして写真製版とエッチングによりパターン化を施してフローティングゲート電極6、絶縁膜8を形成する。次に、コントロールゲート電極用と周辺トランジスタのゲート電極用を兼ねる2層目のポリシリコン膜30を堆積し、(B)のようにポリシリコン膜30を写真製版とエッチングでパターン化することにより、メモリ領域にはコントロールゲート電極10、周辺トランジスタ領域にはゲート電極を形成する。

【0007】

【発明が解決しようとする課題】図1の3層ポリシリコンプロセスにおいては次のような問題点が挙げられる。まず、第1にメモリ領域のポリシリコンサイドウォール20を除去する工程が必要となる。また、このポリシリコンサイドウォール20はわずかでも残るとメモリのチャージロスを引き、電荷保持特性不良の原因になる。メモリセルの面積が縮小され、メモリセル間のスペースも狭くなってくるにつれて、ポリシリコンサイドウォール20を完全に除去することがより難しくなっている。特に、スタックゲート電極のオーバーハング部にまわり込んだポリシリコンサイドウォールを除去するのは容易ではない。

【0008】第2の問題点は、周辺トランジスタのLDD構造を形成するためのサイドウォールスペーサ26を形成するための高温酸化膜は、周辺トランジスタの電気的特性によって最適化されるので、その膜厚は1500~2500Å程度である。一方、スタックゲート電極は6000~7000Åの段差をもっているため、その高温酸化膜の膜厚はメモリ領域で十分な高さのサイドウォール27を形成するには薄すぎる。メモリ領域のサイド

ウォール27はメモリの電荷保持特性を向上させる上で必要なものであるが、高温酸化膜のエッチバック後はサイドウォール27はスタックゲート電極の側面の下部にしか残らず、スタックゲート電極の側方全体を被うことができない。また、高温酸化膜エッチングでのオーバーエッチングの際に、サイドウォール27の上端部で横方向エッチングの影響を受けてスタックゲート電極を被う酸化膜14自体もエッチングされる。その結果、サイドウォール27は、ポリシリコン膜とメタル配線との間のBPSG膜などの層間絶縁膜、メタル配線間の層間絶縁膜、及びパッシベーション膜を通して侵入するアルカリイオンや水素イオンのような可動イオンに対して有効なブロック作用を果たすことができない。

【0009】本発明の第1の目的は、3層ポリシリコンプロセスによる製造方法において、スタックゲート電極の側面に有効な絶縁膜サイドウォールを設け、かつスタックゲート電極側面にポリシリコンが残らないようにしてポリシリコンサイドウォール除去工程を不要にすることである。本発明の第2の目的は、スタックゲート電極の側面に可動イオンの侵入に対して有効な絶縁膜サイドウォールをもつ半導体メモリ装置を提供することである。

【0010】2層ポリシリコンプロセスによる製造方法の場合、フローティングゲート電極とその上の層間絶縁膜を形成した後、コントロールゲート電極用と周辺トランジスタのゲート電極用を兼ねる上層ポリシリコン膜30を堆積し、これをエッチングによりパターン化する場合、フローティングゲート電極6の側面にポリシリコンサイドウォール32(ストリンガーとも呼ばれる)が残る。素子の微細化にともないポリシリコン膜のエッチングプロファイルを基板と垂直に仕上げるために、異方性エッチングによりパターン化しようすると、このようなストリンガー32が発生しやすくなる。このストリンガー32はフローティングゲート電極6とそれに隣接するものとの間での短絡などの問題を発生させる。

【0011】また、上層ポリシリコン膜30を堆積する前の工程として、通常は基板上の酸化膜を除去し、周辺トランジスタ用にゲート酸化膜形成を行なうが、その酸化膜除去工程はウエットエッチングにより行なわれる。この際、図3(A)に示されるように、メモリ領域のゲート酸化膜4もエッチングされて隙間34が生じる。この隙間34にCVD法で堆積されるポリシリコン膜が入り込み、(B)のように残渣36がこの隙間34に残ることがある。ストリンガー32を除去するために、写真製版によりメモリ領域を露出させて等方性ポリシリコンエッチングを行なうが、図3(B)のようにフローティングゲート電極6のひさしの下の隙間34に残ったポリシリコンのストリンガー36まで完全に除去するのは極めて困難である。

【0012】そこで、本発明の第3の目的は、2層ポリ

シリコンプロセスでEPROMやEEPROMを製造する際に、フローティングゲート電極6の側部や下部にポリシリコンが残らないようにすることである。また、本発明の第4の目的は、フローティングゲート電極の側部や下部にポリシリコンの存在しない信頼性の高い半導体メモリ装置を提供することである。

【0013】

【課題を解決するための手段】本発明は、半導体基板上にゲート酸化膜を介し、メモリ素子ごとに分離したフローティングゲート電極と、そのフローティングゲート電極上に絶縁膜を介し、複数のメモリ素子について連続するように帯状にパターン化されたコントロールゲート電極とを含むスタックゲート電極を備えた不揮発性半導体メモリ装置において、スタックゲート電極でコントロールゲート電極の幅方向の側面には下部で厚く上部で薄くなった側壁状絶縁膜が形成されているものである。側壁状絶縁膜はシリコン酸化膜又はシリコン窒化膜である。側壁状絶縁膜は、好ましい態様では少なくともフローティングゲート電極の高さに形成されており、さらに好ましい態様ではコントロールゲート電極の高さまで形成されている。

【0014】上記の半導体メモリ装置を3層ポリシリコンプロセスにより製造する本発明の方法は、以下の工程(A)から(E)を含んでいる。(A)半導体基板上のメモリ領域にゲート酸化膜を介して2層ポリシリコン構造のスタックゲート電極をセルフアライン法で形成する工程、(B)CVD法により絶縁膜を堆積する工程、(C)その絶縁膜に異方性エッチングを施し、スタックゲート電極の側面にその絶縁膜による側壁を形成する工程、(D)周辺トランジスタのゲート酸化膜を形成する工程、(E)ポリシリコン膜を堆積し、パターン化して周辺トランジスタ領域に周辺トランジスタのゲート電極を形成する工程。

【0015】上記の半導体メモリ装置を2層ポリシリコンプロセスにより製造する本発明の方法は、以下の工程(A)から(F)を含んでいる。(A)半導体基板上のメモリ領域にゲート酸化膜を介してポリシリコン膜を堆積し、パターン化してメモリ領域にスタックゲート電極のフローティングゲート電極を形成する工程、(B)フローティングゲート電極上にコントロールゲート電極との間に設けられる第1の絶縁膜を形成する工程、(C)CVD法により第2の絶縁膜を堆積する工程、(D)第2の絶縁膜に異方性エッチングを施し、フローティングゲート電極の側面に第2の絶縁膜による側壁を形成する工程、(E)周辺トランジスタのゲート酸化膜を形成する工程、(F)ポリシリコン膜を堆積し、パターン化してメモリ領域にコントロールゲート電極を形成し、周辺トランジスタ領域に周辺トランジスタのゲート電極を形成する工程。

【0016】

【実施例】図4と図5により本発明を3層ポリシリコンプロセスによるEPROMの製造方法に適用した例を説明する。

(A) P型シリコン基板2に既知のLOCOS法などの素子分離方法により素子分離用シリコン酸化膜3を形成し、必要なしきい値電圧制御用の注入を終えた後、基板2上にゲート酸化膜4を形成する。その上にフローティングゲート電極用の下層ポリシリコン膜を堆積し、その下層ポリシリコン膜に対してはワードライン方向(図では紙面垂直方向)と垂直にフローティングゲート電極を分離するためのパターン化を施す。次にその上に層間絶縁膜として例えばシリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の3層構造のONO膜を形成する。その後、全面に上層ポリシリコン膜を堆積した後、写真製版によりスタックゲート電極用のレジストパターンを形成し、それをマスクにして異方性エッチングを施すことによってメモリのスタックゲート電極を形成する。スタックゲート電極はポリシリコンにてなるフローティングゲート電極6、その上のONO膜8及び最上層のポリシリコンにてなるコントロールゲート電極10から構成されている。コントロールゲート電極10はワードライン方向(紙面垂直方向)に延びた帯状パターンであり、複数のメモリ素子について連続している。

【0017】(B)メモリ領域に開口を有するレジストパターン40を写真製版により形成し、メモリのソース領域とドレイン領域に砒素などのN型不純物をイオン注入する。42は注入された不純物である。

(C)レジストを除去した後、メモリのスタックゲート電極側面に十分形成される厚さに高温酸化膜を堆積した後、その高温酸化膜にエッチバック処理を施し、メモリのスタックゲート電極側面に酸化膜サイドウォール44を形成する。酸化膜サイドウォール44は下部で厚く上部で薄くなっている。

【0018】(D)スタックゲート電極のフローティングゲート電極6とコントロールゲート電極10のエッジを丸めるための熱処理とソース・ドレイン領域に注入された不純物42の活性化を兼ねた酸化処理を施すことにより、スタックゲート電極のフローティングゲート電極6とコントロールゲート電極10を熱酸化膜46で被い、周辺トランジスタ領域には犠牲酸化膜48を形成する。このときの酸化条件は、例えば900～950℃のウエット酸化又はドライ酸化である。周辺トランジスタ領域にはしきい値電圧制御のためにボロンイオン50を犠牲酸化膜48をスルー酸化膜としてイオン注入する。

【0019】(E)酸化膜48をウエットエッチングで除去した後、周辺トランジスタ領域にゲート酸化膜52を形成し、その上から周辺トランジスタのゲート電極となるポリシリコン膜54を堆積する。

(F)写真製版により周辺トランジスタのゲート電極用レジストパターンを形成し、それをマスクにして異方性

ポリシリコンエッチングを施すことにより、周辺トランジスタのゲート電極56を形成する。このとき、メモリ領域のスタックゲート電極の側面にはすでに絶縁膜サイドウォール44が形成されており、しかもその絶縁膜サイドウォール44の表面が傾斜面となっているので、メモリ領域にポリシリコン膜54が残ることがない。

【0020】(G)その後、既知の方法により、周辺トランジスタ用にLDD構造のソース・ドレイン領域を形成する。58はLDD構造を構成するソース・ドレインの低濃度不純物領域、62は高濃度不純物領域である。60はそのLDD構造のソース・ドレイン領域を形成するための高温酸化膜サイドウォールスペースである。サイドウォールスペース62は、全面に高温酸化膜を堆積し、それをエッチバックして形成されるが、メモリ領域ではすでに絶縁膜サイドウォール44が形成されているので、メモリ領域には高温酸化膜サイドウォールスペースは形成されない。

【0021】このように、図4、図5の実施例では、周辺トランジスタのゲート電極用のポリシリコン膜を堆積する前に、メモリ領域のスタックゲート側面にはすでに酸化膜サイドウォール44が形成されているため、周辺トランジスタ用のポリシリコン膜がメモリ領域にサイドウォールとして残ることがない。そのため従来のようにメモリ領域でのポリシリコンサイドウォール除去のためのプロセスが不要になる。また、メモリ領域の酸化膜サイドウォール44は周辺トランジスタのLDD用サイドウォールスペース形成後もメモリ領域のスタックゲート電極側面全体を被う形で残るため、外部から可動イオンが侵入する際のブロックとして作用し、チャージロスに対する耐性が向上し、メモリ保持特性が向上する。

【0022】図5(G)の状態から層間絶縁膜を堆積し、接続位置の層間絶縁膜にコンタクトホールを形成し、メタル配線を形成し、パッシベーション膜を形成すれば半導体メモリ装置が完成する。そのような半導体メモリ装置自体も本発明の実施例である。

【0023】図6により本発明を2層ポリシリコンプロセスのEPROMやEEPROMに適用した実施例を説明する。

(A) LOCOS法等により素子分離を行なった後、必要なしきい値電圧制御用の注入を終えたP型シリコン基板2にゲート酸化膜4を形成する。EEPROMの場合には、その後、トンネル酸化膜の形成を行なう。

(B) 下層ポリシリコン膜とその上に絶縁膜(例えばONO膜)を形成し、写真製版によりレジストを形成し、そのレジストパターンをマスクにしてエッチングを施し、フローティングゲート電極6とその上の絶縁膜8を形成する。

【0024】(C) レジストを除去した後、高温酸化膜を堆積し、エッチバックを施して下層ポリシリコン膜6の側面に酸化膜サイドウォール70を形成する。

(D) その後、周辺トランジスタ領域にゲート酸化膜を形成した後、上層ポリシリコン膜を堆積する。上層ポリシリコン膜はメモリ領域ではコントロールゲート電極となり、周辺トランジスタ領域ではゲート電極とするためのものである。その上層ポリシリコン膜に写真製版とエッチングによりパターン化を施し、メモリ領域ではフローティングゲート電極10を形成し、周辺領域ではゲート電極を形成する。この上層ポリシリコン膜のパターン化の際、下層ポリシリコン膜側面には酸化膜サイドウォール70がすでに形成されているので、フローティングゲート電極6の側面にポリシリコン膜は残らない。

【0025】図6の工程(C)と(D)の間には周辺トランジスタ領域の基板を被っている犠牲酸化膜を除去するためのウエットエッチング工程が入るが、そのエッチングによっても酸化膜サイドウォール70は残る。

【0026】図4、図5の実施例と図6の実施例において、サイドウォール44と70としてシリコン酸化膜を例示しているが、それらをシリコン窒化膜に置き換えてもよい。シリコン窒化膜はシリコン酸化膜よりもより緻密な絶縁膜であり、外部からの可動イオンの侵入に対してはより有効に遮蔽する作用をする。また、基板及びソース・ドレイン領域の導電型を実施例と逆にしてもよい。

【0027】

【発明の効果】本発明の半導体メモリ装置ではスタックゲート電極の側面、少なくともフローティングゲート電極の側面に絶縁物のサイドウォールが形成されているため、メモリの保持特性が向上する。本発明の製造方法では周辺回路用のゲート電極用ポリシリコン膜を堆積する工程の前にすでにメモリのフローティングゲート側面又はフローティングゲート及びコントロールゲートの側面に絶縁膜サイドウォールが形成されているため、ポリシリコン膜がフローティングゲート電極周辺に残ることはなく、短絡などの問題がなくなって製造歩留まりが向上する。そして従来のようにメモリ領域でのポリシリコンサイドウォールを除去する工程が不要になることから、製造工期が短縮され、低コスト化を実現することができる。

【図面の簡単な説明】

【図1】従来の3層ポリシリコンプロセスを示す工程断面図である。

【図2】従来の2層ポリシリコンプロセスを示す工程断面図である。

【図3】図2の従来のプロセスにおける問題点を示す工程断面図である。

【図4】本発明を3層ポリシリコンプロセスに適用した実施例の工程の前半部を示す工程断面図である。

【図5】本発明を3層ポリシリコンプロセスに適用した同実施例の工程の後半部を示す工程断面図である。

【図6】本発明を2層ポリシリコンプロセスに適用した

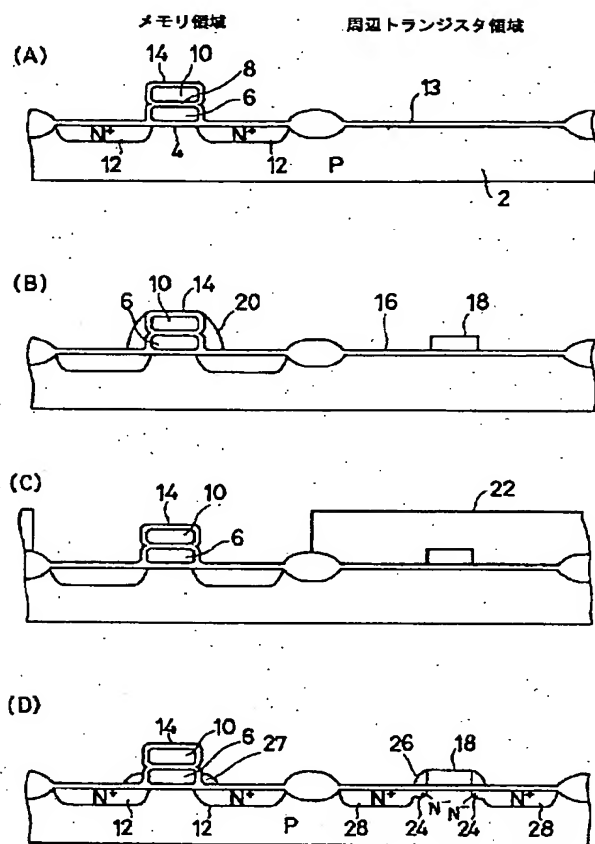
実施例を示す工程断面図である。

【符号の説明】

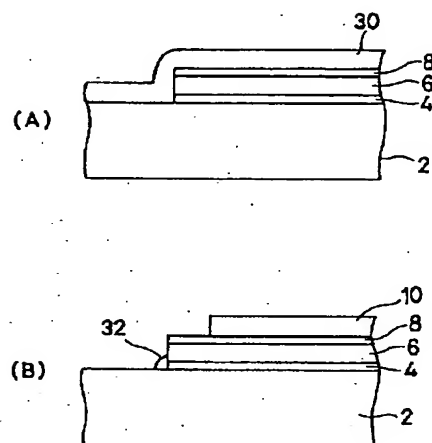
- 2 シリコン基板
4 メモリ領域のゲート酸化膜

- 6 フローティングゲート電極
8 絶縁膜
10 コントロールゲート電極
44, 70 酸化膜サイドウォール

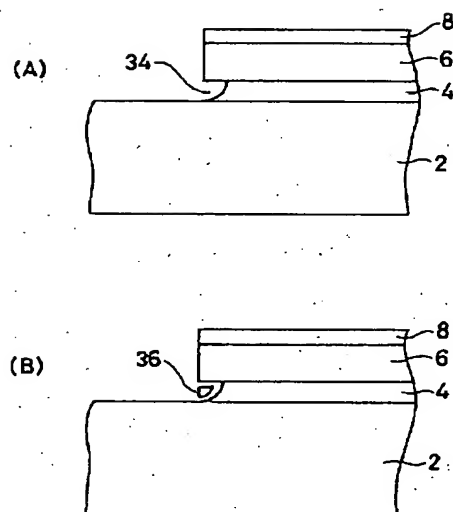
【図 1】



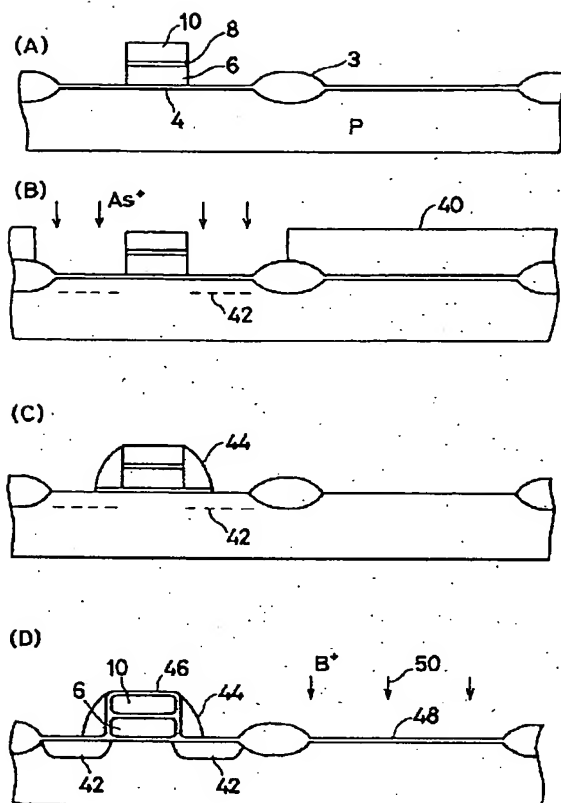
【図 2】



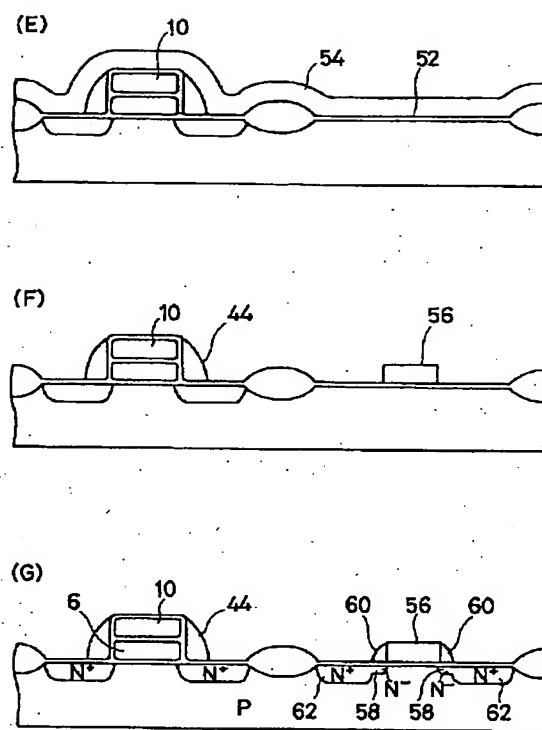
【図 3】



【図 4】



【図 5】



【図 6】

